

IEEE 802.11n LDPC 译码的设计与实现

朱勇旭, 吴 斌, 张振东, 周玉梅

(中国科学院微电子研究所 专用集成电路与系统研究室, 北京 100029)

摘 要: 提出了一种针对 IEEE 802.11n 准循环非规则 LDPC 译码器 VLSI 的设计方法. 设计使用了交互信息存储器最小化设计策略, 交互信息存储器与基矩阵有值点一一对应原则, 最大程度减少了存储器的开销. 校验节点处理采用了一种层次化偏置的最小项算法来降低复杂度, 并选出合适的偏置量来提高译码器性能. 采用 SMIC 0.13 μ m CMOS 工艺设计并实现了该译码器, 在时钟频率为 133.3 MHz 时, 最大数据吞吐率为 100 Mb/s, 功耗为 73 mW.

关键词: LDPC 译码器; WLAN; IEEE 802.11n; ASIC

中图分类号: TP302.7

文献标识码: A

文章编号: 1000-7180(2011)02-0001-05

Design and Implementation of LDPC Decoder for IEEE 802.11n

ZHU Yong-xu, WU Bin, ZHANG Zhen-dong, ZHOU Yu-mei

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: This paper presents a design of LDPC decoder for the irregular quasi-cyclic LDPC in IEEE 802.11n standard. Memory minimization scheme in which the size of passing-message memory equals to the number of elements in base matrix is exploited to reduce the memory cost significantly. Offset min-sum algorithm with optimized offset parameters has been used in check node unit of stratified structure. The decoder has been implemented under SMIC 0.13 μ m CMOS process. The max throughput is 100 Mb/s with power of 73 mW at 133.3 MHz frequency.

Key words: LDPC decoder; WLAN; IEEE 802.11n; ASIC

1 引言

低密度奇偶校验码(LDPC)是由 Gallager 在 1962 年发明^[1], 由于当时技术的限制, LDPC 未获得广泛关注. 直到 1990 年代, Dr. Mackay 研究结果表明 LDPC 纠错性能接近香浓限^[2]. 同时由于大规模集成电路的飞速发展, 在现代通信系统中采用 LDPC 作为前向纠错码才成为可能. 目前 LDPC 已用于广播电视标准 DVB-S2, CMMB 中, 并被 IEEE 802.11n 和 IEEE 802.16e 选作系统 FEC 方案.

IEEE 802.11n^[3] 是高吞吐率的无线局域网标准, 在物理层使用了多输入和多输出天线(MIMO)来提高吞吐率, 使用 LDPC 作为 FEC 提高传输可靠性. IEEE802.11n 最高可达 600 Mb/s 的数据吞吐率(4 天线, 40 MHz 带宽), 同时 802.11n 模块经常

作为无线移动连接设备予以使用, 使得在 802.11n 的 SOC 中对 LDPC 的吞吐率和低功耗设计提出了严格要求. 针对 IEEE 802.11n 的非规则 LDPC 矩阵提出了一种基于部分并行方式的高吞吐率、低功耗的 LDPC 译码器结构, 通过 Verilog HDL 描述了译码器的结构, 验证了功能, 使用 IC Compiler 完成物理实现.

2 IEEE 802.11n LDPC 介绍

IEEE 802.11n LDPC 是一种准循环 LDPC (QC-LDPC)^[4], 可以通过如图 1 所示的基矩阵表示, 基矩阵中的每个元素对应一个 $Z \times Z$ 的小矩阵 (Z 为扩展因子), 每个小矩阵可以是零矩阵或者是由单位矩阵循环右移得到的矩阵. 扩展因子大小是 $Z=81$, 每一个有数值的地方表示 81×81 的单位矩

收稿日期: 2010-02-08; 修回日期: 2010-05-08

基金项目: 中国科学院知识创新工程领域前沿项目(5408SF032001); 新一代宽带无线移动通信网重大专项(2009ZX03007-002)

图3所示为所设计译码器的结构图。信道值存储单元用于存储给变量节点处理单元(VNU)的信道信息值。交互信息存储器用于存储校验节点处理单元(CNU)和变量节点处理单元的交互信息。

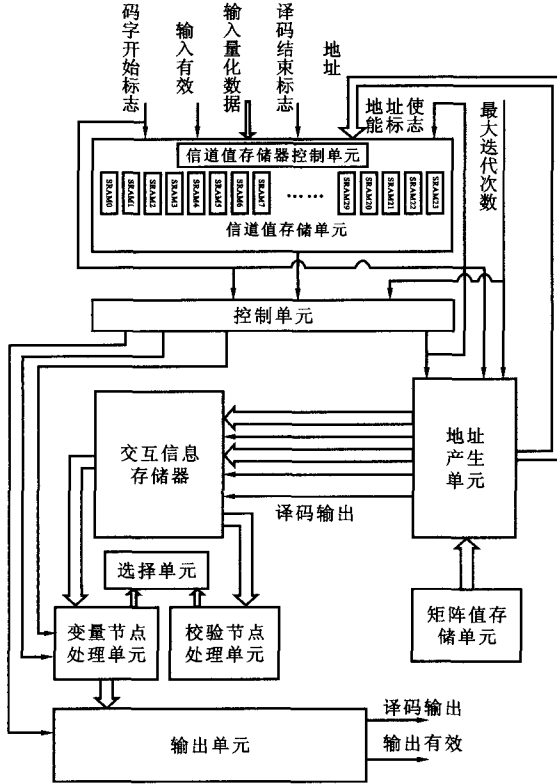


图3 (1944,972)译码器的总体结构框图

当信道值存储器存完一个码字的信道信息后,就开始了VNU和CNU的迭代运算。经过所设置的最大迭代次数迭代后,VNU的译码硬判决信息存到输出单元进行译码输出。经过如上的处理,完成了一个码字的迭代译码操作。译码器中的主要模块包括:存储器单元和地址产生单元、变量节点处理单元(VNU)、校验节点处理单元(CNU)。

4.2 存储器单元和地址产生单元设计

设计中信道值信息和交互信息都采用6比特,这样存储器的位宽选为6比特。信道值存储单元由24个大小为 128×6 比特的单端口存储器组成,与基矩阵的每一列对应。基矩阵中非零扩展矩阵共有86个,由一一对应原则,交互信息存储器采用86个大小为 128×6 比特的双端口存储器,基矩阵中每个非零扩展矩阵映射为一组双端口存储器。

信道值存储单元将输入的信道信息按地址从0到80依次写入每组存储器。当信道值存储单元存完后,开始了VNU和CNU的迭代处理过程,此过程只在CNU处理时对每组信道信息存储器产生从0

到80的读地址,迭代过程的其余时间信道值存储单元处于保存状态,减少了读写存储器而产生的功耗。

图4所示为交互信息存储器的接口图。CNU和VNU处理时都是先从交互信息存储器中取数,处理完后需要将得到的数写入,所以交互信息存储器采用同址写回的方法,写地址是通过读地址延时得到的。读地址分两种情况:VNU处理时,产生从0到80的读地址;CNU处理时,读地址是从偏移值开始读取交互信息存储器中的信息。

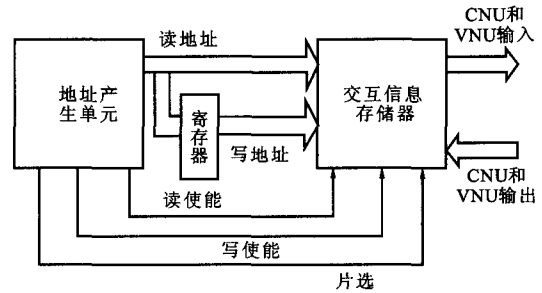


图4 交互信息存储器的接口图

4.3 VNU 设计

变量节点处理单元先计算交互信息和信道值信息的和,这个和值的最高位作为硬判决信息输给出单元,然后通过一个减法和位宽调整单元得到VNU处理后的交互信息,其结构如图5所示,其中 $in-1$ 到 $in-i$ 是交互信息存储器传递给VNU的交互信息,共需要24个VNU,而变量节点的度数有2、3、4、11,考虑到变量节点的最大度数为11,所以为了缩短关键路径,在加法器树单元中采用了三级流水线,来提高其数据吞吐率。

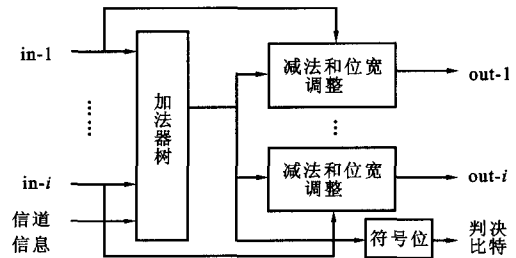


图5 VNU实现结构图

4.4 CNU 设计

通过对带偏置的最小项的等价变换,可将式(8)表示的任何输入的CNU转换为2输入CNU的组合,2输入的CNU可用式(9)、(10)表示。对应CNU设计中采用了一种层次化的设计,对于不同度数的校验节点处理都可通过2输入的CNU和寄存器来构造,这种层次化的方法不仅结构上简单,而且可方便不同度数的CNU单元的构造,特别适合非规则码的应用。(1944,972)校验矩阵的校验节点的

度数有两种:7 和 8. 这里校验节点处理单元采用的都是 8 输入 CNU, 当度数为 7 时, 空闲的位设置为正的最大值 31, 共需要 12 个 CNU 单元, 每个 CNU 采用 3 级. 8 输入的 CNU 可用多个 2 输入的 CNU 和寄存器组成. 图 6 所示为所设计的 2 输入的 CNU, 其完成了式(9)、(10)的运算.

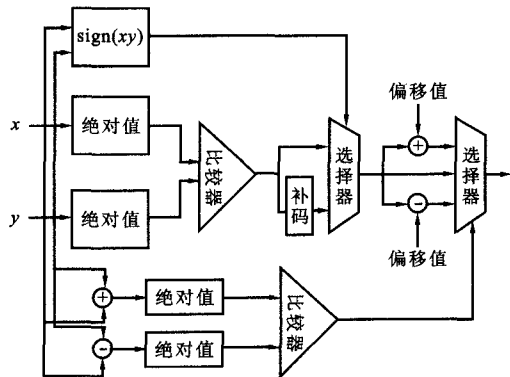


图 6 2 输入 CNU

其中 β 表示的是带符号的偏移值. 实际系统开发中的 β 值的选取对译码性能有直接影响, 通过 RTL 定点仿真, 得到如图 7 所示的不同 β 取值的误码率曲线, 当 β 的绝对值取 3 时, 硬件性能是最好的, 所以本文 β 取值为 3.

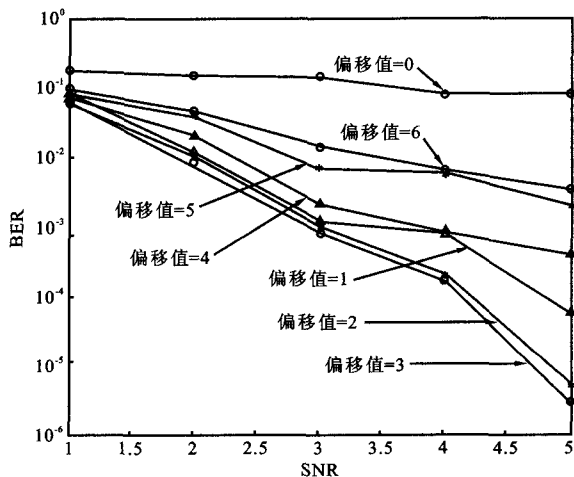


图 7 不同偏移值下的误码率曲线图

$$L(x \oplus y) = \text{sign}(xy) \min\{|x|, |y|\} + \beta \quad (9)$$

$$\beta = \begin{cases} 3 & |x+y| \leq 32, |x-y| > 32 \\ -3 & |x+y| > 32, |x-y| \leq 32 \\ 0 & \text{其他} \end{cases} \quad (10)$$

图 8(a) 表示的是 4 输入的 CNU 结构图, 它由多个寄存器和 7 个 2 输入 CNU 组成. 图 8(b) 为 8 输入 CNU 的结构图, 由 2 个 4 输入的 CNU 和 9 个

2 输入 CNU 组成.

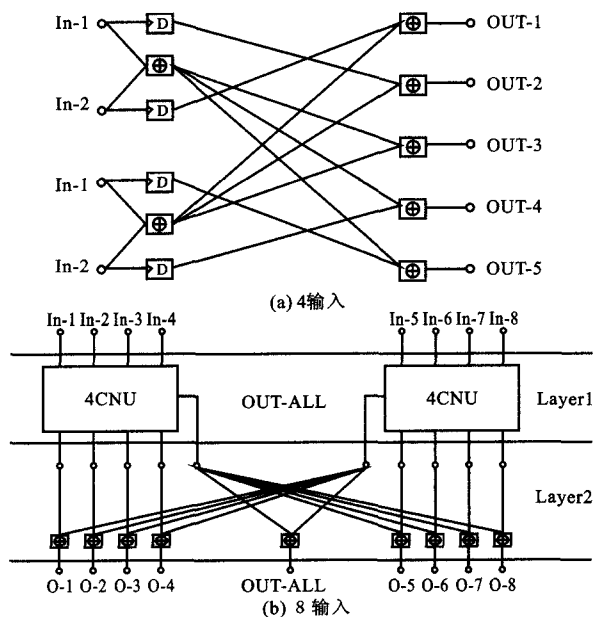


图 8 4 输入、8 输入 CNU

5 实现和结果

在 AWGN 信道和 BPSK 调制下(1944, 972)的 LDPC 译码器 Matlab 浮点和硬件定点仿真证明硬件的性能与浮点性能接近(图 9).

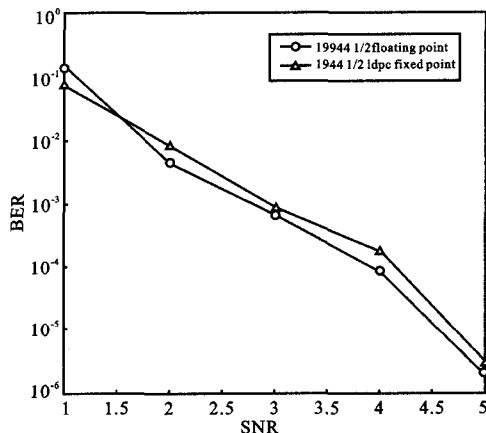


图 9 硬件仿真与 Matlab 仿真的比较

本设计采用 Verilog HDL 描述, 采用 SMIC 0.13 μm CMOS 工艺, 用 Design Compiler 进行综合, 并用 IC Compiler 实现了该译码器的版图(图 10), 面积为 3.54 mm^2 . 在时钟频率为 133.3 MHz 时, 它的最大数据吞吐率为 100 Mb/s, 用 Synopsys 公司的功耗分析工具 PrimePower 分析得到工作时的功耗为 73 mW.

表 1 是本设计与其他 LDPC 译码器 VLSI 实现的比较, 对比可知, 本设计的内核面积是这些设计中

最小的,与文献[6]的设计比较,在 CNU 和 VNU 的

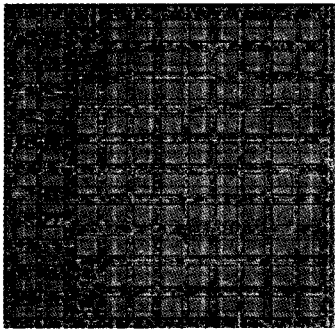


图 10 (1944,972)译码器的版图

并行度是它 1/3 的情况下,吞吐率接近它的 1/2,同时本文设计的功耗也是较小的.

6 结束语

提出了一种采用部分并行方式的准循环 LDPC 译码器结构. 采用了存储器最小化设计策略最大程度减小了存储器的开销,在 CNU 中采用层次化的调度策略实现对不同度数 CNU 扩展支持. 基于 SMIC 0. 13 μm 的工艺 VLSI 实现表明其具备低面积(3. 54 mm^2)、低功耗(73 mW)、较高吞吐率(100 Mb/s)综合性能指标,经进一步改进扩展可用于未来 802. 11 n 系统芯片.

表 1 本设计的 ASIC 实现与其他设计对比

	JSSC'02 ^[5]	TCAS'06 ^[6]	ASSCC'08 ^[7]	JSSC'08 ^[8]	本文
描述	(1024,512)	(1024,512)	(1944,972)	(96k,48k) $k=6\sim 24$	(1944,972)
工艺/ μm	0. 16	0. 18	0. 13	0. 13	0. 13
并行形式	全并行	部分并行	部分并行	部分并行	部分并行
迭代次数	64	8	8	2~8	8
CNU 数目	512	32~64	36	2~12	12
VNU 数目	1024	64~128	72	4~24	24
频率/MHz	64	200	111	83. 3	133. 3
吞吐率/(Mb/s)	1 000	985	250	60~222	100
Core size/ mm^2	—	6. 29	3. 88	4. 45	3. 54
功耗/mW	690	—	76	52	73

参考文献:

[1] Gallager R. Low-Density Parity-Check Codes[J]. IRE Trans Inf Theory, 1962,7:21—28.

[2] MacKay D J C. Good Error-correcting codes based on very sparse matrices[J]. IEEE Trans Inf Theory, 1999, 45(3):399—431.

[3] IEEE. IEEE P802. 11nTM/D2. 00—2007 Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications: Amendment: Enhancements for Higher Throughput[S]. New York: IEEE, 2007.

[4] Zhong H, Zhang T. Block-LDPC: a practical LDPC coding system design approach[J]. IEEE Trans Circuits Syst, 2005, 52(4):766—775.

[5] Blanksby A J, Howland C J. A 690 mW 1 Gb/s 1024 b, rate-1/2 low-density parity-check code decoder [J]. IEEE J Solid-State Circuits, 2002,37:404—412.

[6] Kang S H, Park I C. Loosely coupled memary-based decoding architecture for low density parity check codes [J]. IEEE Trans Circuits System I, 2006,53(5):1045

—1056.

[7] Shih Xinyu, Zhan Chengzhou, Wu Anyeu. A 7. 39 mm^2 76 mW (1944,972) Decoder Chip for IEEE 802. 11n Applications[C]// IEEE Asian Solid-State Circuits Conference. Fukuoka:IEEE, 2008.

[8] Shih Xinyu, Zhan Chengzhou, Lin chenghang, et al. A 8. 29 μm^2 32 mW multi-mode LDPC decoder design for molute WiMAX SYSTEM IN 0. 13 μm CMOS Process [J]. IEEE J solid-state circuits, 2008,43(3):672—678.

作者简介:

朱勇旭 男,(1983—),博士研究生. 研究方向为宽带有线/宽带无线通信系统物理层算法.

吴 斌 男,(1976—),副研究员. 研究方向为宽带有线/宽带无线通信、实时信号处理 VLSI 体系架构设计与实现.

张振东 男,(1985—),博士研究生. 研究方向为基于 OFDM 的宽带无线通信系统算法研究及宽带通信 SoC 设计.

周玉梅 女,(1962—),研究员,博士生导师. 研究方向为深亚微米集成电路设计技术和低功耗设计技术.